

【A卷】

中華電信股份有限公司 96 年新進從業人員遴選試題

類別：工務類專業職(四)第一類專員

科目：電子學

*請填寫入場通知書號碼：

注意：①作答前須檢查試卷與答案卡所標示之卷別(分 A、B 卷)是否一致，以及入場通知書號碼、桌角號碼、應試類組是否相符。
 ②本試卷正反兩頁共 50 題，每題 2 分，限用 2B 鉛筆在「答案卡」上作答。
 ③本試卷之試題皆為單選選擇題，請選出最適當答案，答錯不倒扣；未作答者，不予計分。
 ④答案卡務必繳回，未繳回者該科以零分計算。

- 若運算放大器為有限增益，則所組成之反向(inverting)組態放大器：
 - 一定具備 virtual short circuit 之特性
 - 輸入阻抗為有限值
 - 電壓增益只與電阻比值有關
 - 電壓增益也可為正值
- 下列何者不是理想運算放大器之特性？
 - 差動(differential)電壓增益=∞
 - 共模(common-mode)電壓增益=∞
 - 輸入阻抗=∞
 - 輸出阻抗=0
- 下列何者不會造成電壓放大器之輸出波形扭曲(distortion)？
 - 有限頻寬
 - 輸入阻抗非無限大
 - slew rate 限制
 - 頻率響應之相位非線性
- 由理想運算放大器組成之積分器電路，下列敘述何者錯誤？
 - 輸出電壓為負積分結果
 - 直流增益無限大
 - 相位為 90°
 - 容易受限於高頻雜訊
- 加一負向電壓於 NMOS 電晶體之 body 端，則：
 - 門檻電壓(threshold voltage)下降
 - 通道之等效電阻上升
 - 通道載子濃度上升
 - 通道下方之空乏區減少
- 若一 npn BJT 之直流操作狀況為： $V_{BE}=0.7\text{ V}$ ， $V_{CE}=0.2\text{ V}$ ， $I_B=10\mu\text{A}$ ， $I_C=1\text{ mA}$ ，則下列結論何者正確？
 - $\beta = 100$
 - $\beta \geq 100$
 - $\beta \leq 100$
 - $\beta = 1000$
- 對於反向器之特性，下列何者錯誤？
 - 操作之速度受到 propagation delay 影響
 - t_{PHL} 與 t_{PLH} 可能不相同
 - $NM_H = V_{IH} - V_{OH}$
 - $NM_L = V_{IL} - V_{OL}$
- 下列何種類比數位轉換器適合高速應用？
 - feed-back type
 - dual-slope converter
 - charge-redistribution converter
 - flash ADC
- 有關 MOS 電晶體的通道長度調變(channel length modulation)現象，下列敘述何者錯誤？
 - 通道長度越長此現象越明顯
 - 通道發生 pinch-off 所造成
 - 造成電晶體之輸出阻抗降低
 - 電晶體操作於線性區(triode region)時則無此現象
- 對於 emitter follower 放大級之敘述，下列何者錯誤？
 - 電壓增益<1
 - 輸出及輸入訊號為反向
 - 可當作輸出級使用
 - 可當作 level shifter 使用
- 有關運算放大器之補償(compensation)技術，何者為正確作法？
 - 使 dominant pole 之頻率上升
 - 使 dominant pole 與 second pole 分開
 - 增加額外的 high-frequency pole
 - 使 phase margin 降低
- 有關 NMOS depletion-type 電晶體之敘述，下列何者錯誤？
 - 門檻電壓(V_t)>0
 - gate 電壓越高，電流越大
 - 導電之載子以電子為主
 - body effect 影響門檻電壓
- 若 slew rate 為 $1\text{ V}/\mu\text{s}$ 之運算放大器當做 unit-gain buffer，輸入之 pulse 高為 0.2 V ，則何者為 pulse 之最短寬度，可使輸出達到輸入之電壓最大值？
 - 50 ns
 - 100 ns
 - 200 ns
 - 500 ns
- 在一理想二極體與一電阻串接而成的整流器中，若輸入電壓為 $10\sin\omega t$ 伏，則電阻上的直流電壓為若干伏？
 - 1.59
 - 3.18
 - 5
 - 6.36

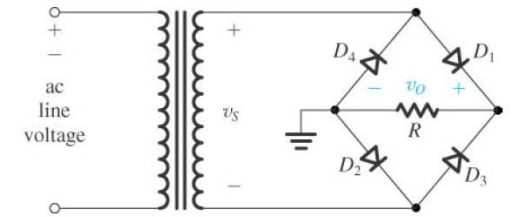
15.若一尺度常數(scale constant) $n=1$ 的二極體在電流 $i=1$ 毫安時順向壓降 $v=0.7$ 伏，則當 $i=0.1$ 毫安時壓降為若干伏？

- 0.61
- 0.64
- 0.74
- 0.76

16.在【圖一】的橋式整流電路中，若二次側交流電壓為弦波 12 伏(rms)，二極體順向壓降 $V_D=0.7$ 伏，且負載電阻 $R=100$ 歐，則負載電壓 v_o 的直流成分 V_o 為若干伏？

- 7.5
- 8.3
- 9.4
- 16.3

【圖一】



17.承上題，流經二極體的電流峰值為若干毫安？

- 85
- 156
- 233
- 306

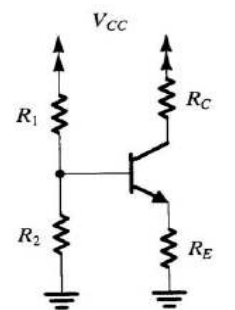
18.若一電壓放大器之輸出電壓在輸出端接上外加的 4.7 K 歐負載後即較未接此負載前下降 6%，則此放大器之輸出阻抗為若干歐？

- 300
- 400
- 500
- 600

19.在【圖二】單一電源的 BJT 電路中， $V_{CC}=15$ 伏， $\beta=100$ ， $v_{BE}=0.7$ 伏， $R_1=100\text{ K}$ 歐， $R_2=50\text{ K}$ 歐。則在基極上的戴維寧等效電路(Thevenin equivalent circuit)之電壓為若干伏？

- 5
- 6
- 7
- 8

【圖二】



20.承上題，基極上的戴維寧等效電路之電阻為若干歐？

- 72.5K
- 50K
- 33.3K
- 22K

21.由理想運算放大器所組成之非反向(non-inverting)組態放大器，下列敘述何者錯誤？

- 輸出阻抗為 $0\ \Omega$
- 輸入阻抗為無限大
- 電壓增益由電阻比值決定
- 電壓增益可為任意之正實數

22.若將 slew rate 為 $1\text{ V}/\mu\text{s}$ 之運算放大器接成一 unit-gain buffer，輸入振幅 1V 之弦波訊號，在不失真下最高之輸入頻率為何？

- 1000000 Hz
- 10000 Hz
- 159155 Hz
- 318310 Hz

23.對於運算放大器之 slew rate，下列敘述何者錯誤？

- 與電路之頻寬成正比
- 與電容值成反比
- 受限於電路之直流電流
- 為大訊號操作下之非理想特性

24.下列何者為 n-type 異質半導體(extrinsic semiconductor)之特性？

- 電子為唯一之導電載子(carrier)
- 穩定狀態下 $np > n_i^2$
- 雜質濃度越高，電洞濃度越低
- 導電度與溫度無關

25.關於 pn-junction 的敘述，下列何者錯誤？

- 內建電壓(building potential)隨摻雜濃度提高而增加
- 操作在順向偏壓下空乏區(depletion region)寬度上升
- 內建電壓主要來自於空乏區的電場
- 空乏區寬度隨摻雜濃度提高而下降

26.關於 PMOS 電晶體之敘述，何者錯誤？

- source 端的電壓比 drain 端的電壓高
- 導電載子以電洞為主
- 載子在通道中的運動模式為擴散(diffusion)
- 載子由 source 端流向 drain 端

27.下列何種電路只消耗動態功率？

- pseudo NMOS 邏輯
- TTL 邏輯
- dynamic 邏輯
- ECL 邏輯

【請接續背面】

28.有關 CMOS SRAM 之敘述，下列何者正確？

- ① 每一位元只使用 4 個電晶體
 ② 無靜態功率消耗
 ③ 儲存之資料不會因為電源關閉而消失
 ④ 為 ratioless 之電路設計

29.關於濾波器之敘述，下列何者錯誤？

- ① Butterworth 低通濾波器為單調下降之頻率響應
 ② Chebychev 低通濾波器為單調下降之頻率響應
 ③ 階數由 transfer function 之分子決定
 ④ transfer function 之係數必需為實數

30.假設一系統之 transfer function 為 $H = \frac{a_1 s}{s^2 + (\omega_0/Q)s + \omega_0^2}$ ，下列何者錯誤？

- ① 為一階系統
 ② 頻率響應為帶通(band-pass)特性
 ③ 低頻增益為 0
 ④ 高頻增益為 0

31.在 common emitter 放大級之 emitter 端加上 degeneration 電阻，下列何者錯誤？

- ① 輸入阻抗上升
 ② 輸出阻抗上升
 ③ 轉導值上升
 ④ 可視為一負回授

32.對於頻率響應的敘述，下列何者錯誤？

- ① 電容於 dc 可視為開路
 ② 電容於極高頻可視為短路
 ③ 電感於 dc 可視為開路
 ④ 電感於極高頻可視為開路

33.關於 741 運算放大器，下列敘述何者錯誤？

- ① 輸入級為雙端輸入單端輸出
 ② 第二級為單端輸入單端輸出
 ③ 電壓增益主要由輸出級提供
 ④ 電路中包括保護電路

34.關於輸出級之敘述，下列何者錯誤？

- ① class-A 為線性操作放大器
 ② class-B 無靜態功率消耗
 ③ class-B 的輸出通常為失真之波形
 ④ class-AB 可兼顧效率及線性度

35.關於 pseudo NMOS logic 之敘述，下列何者錯誤？

- ① pull-up 及 pull-down network 皆使用 NMOS 電晶體
 ② 具有靜態功率消耗
 ③ 負載(active load)越大，則 V_{OL} 上升
 ④ V_{OH} 不受負載之大小影響

36.下列何者為一濾波器之 transfer function？

- ① $T(s) = \frac{3}{s^2 - 3s + 2}$
 ② $T(s) = \frac{3j}{s^2 - 3s + 2}$
 ③ $T(s) = \frac{3s}{s^2 + 3s + 2}$
 ④ $T(s) = \frac{3s^3}{s^2 + 3s + 2}$

37.請問 Class-A 放大器之最大輸出效率(efficiency)為：

- ① 20%
 ② 25%
 ③ 33%
 ④ 50%

38.在【圖三】的 MOSFET 的電路中，若 $V_{DD}=15$ 伏， $V_{GS}=2$ 伏，

汲極(drain)電壓 $V_D=10$ 伏， $R_D=R_S=10K$ 歐，則 R_{G1} 與 R_{G2} 之值分別應為下列何者？

- ① 8M 歐與 7M 歐
 ② 7M 歐與 8M 歐
 ③ 680K 歐與 470K 歐
 ④ 470K 歐與 680K 歐

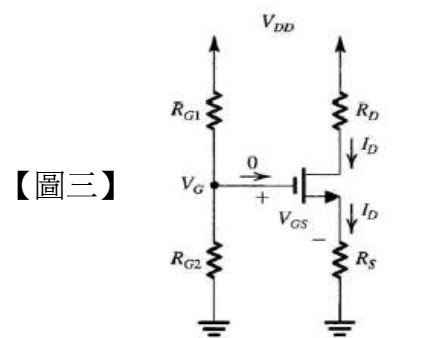
39.承上題，則 I_D 為若干毫安？

- ① 0.2
 ② 0.4
 ③ 0.5
 ④ 0.7

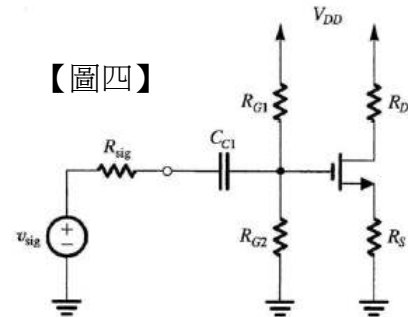
40.在【圖四】的 MOSFET 電路中，若 $V_{DD}=15$ 伏，

$R_{G1}=6M$ 歐， $R_{G2}=4M$ 歐， $R_D=5K$ 歐， $R_S=2K$ 歐， $R_{sig}=1K$ 歐， $r_o=50K$ 歐， $g_m=0.5$ 毫安/伏， $V_T=1$ 伏，則就交流小信號 v_{sig} 而言，此放大器的輸入阻抗 R_{in} 為若干歐？

- ① 999
 ② 1.98K
 ③ 2.4M
 ④ 4M



【圖三】



【圖四】

41.承上題，若汲極上電壓 v_D 為直流電壓 V_D 與交流電壓 v_d 之和，且 $v_{sig}=0.1$ 伏，則 v_d 為若干伏？

- ① -1.782
 ② -2.193
 ③ -3.864
 ④ -4.577

42.承上題，此汲極輸出放大器的交流輸出阻抗 R_{out} 為若干？

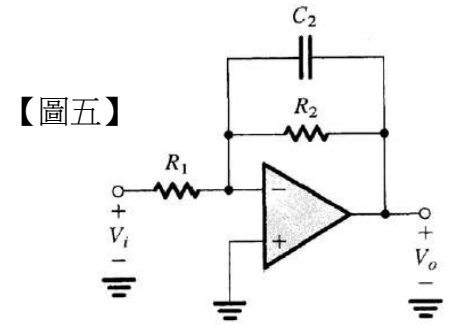
- ① 1.43K
 ② 2K
 ③ 3.34K
 ④ 4.56K

43.承上題，若將 R_S 短路且 $I_D=2.5$ 毫安，則 v_d 將變為若干伏？

- ① 0
 ② 1.25
 ③ 3
 ④ 5

44.在【圖五】的理想運算放大器電路中，若 $R_1=2K$ 歐， $R_2=68K$ 歐， $C_2=0.01$ 微法拉(micro-farad)，則此放大器轉移函數的時間常數為若干毫秒？

- ① 0.02
 ② 0.68
 ③ 200
 ④ 680



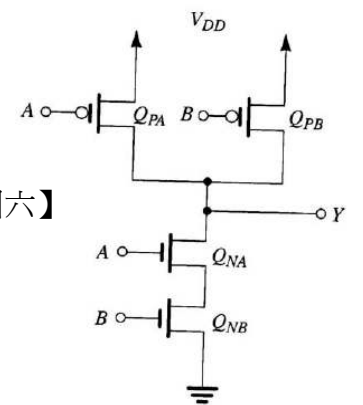
【圖五】

45.承上題，此放大器轉移函數的波德圖(Bode diagram)在頻率 ω 高於 3dB 點後將以下列何者之速度變化？

- ① -20dB/dec
 ② -10dB/dec
 ③ 10dB/dec
 ④ 20dB/dec

46.在【圖六】的電路中， V_{DD} 為 5 伏， Q_P 與 Q_N 分別代表 PMOS 與 NMOS 電晶體。若輸入為 A 與 B，輸出為 Y，則此電路所執行之運算為下列何者？

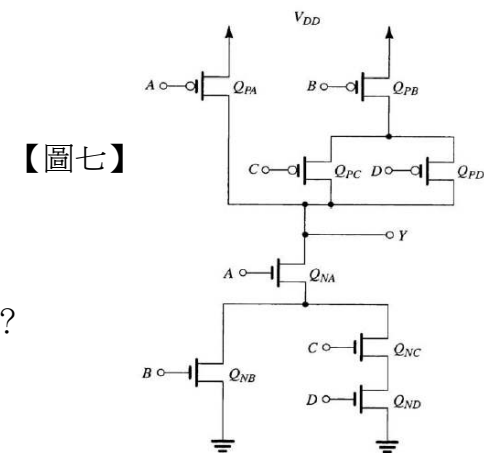
- ① AND
 ② OR
 ③ NAND
 ④ NOR



【圖六】

47.在【圖七】的電路中，下列何者正確？

- ① $Y = \overline{AB+CD}$
 ② $Y = \overline{AB+CD}$
 ③ $Y = \overline{A(B+CD)}$
 ④ $Y = \overline{A+B+CD}$



【圖七】

48.有關負回授電路的特性，下列何者錯誤？

- ① 可降低非線性失真
 ② 可擴展頻寬
 ③ 可提高增益
 ④ 可提升輸入阻抗

49.有關離散式(discrete)元件組成的電路與積體電路(IC, integrated circuit)比較，下列何者正確？

- ① 離散式元件電路可操作於較低的頻率
 ② IC 的體積較大
 ③ IC 各級間通常以電容交連(coupling)
 ④ 在積體電路內應儘量使用主動元件以節省成本

50.有關 CMOS 開電路中，若 Y 為輸出，則有關上拉電路(PUN, pull up network)與下拉電路(PDN, pull down network)的敘述，下列何者正確？

- ① 上拉電路專供非反相輸入之用
 ② 上拉電路主要由 NMOS 組成
 ③ 下拉電路若導通將使輸出為高電壓
 ④ 若上拉電路接成並聯則下拉電路將接成串聯