

## 【B 卷】

### 中華電信股份有限公司 96 年新進從業人員遴選試題

類別：工務類專業職(一)專員

科目：計算機結構

\*請填寫入場通知書號碼：

注意：①作答前須檢查試卷與答案卡所標示之卷別(分 A、B 卷)是否一致，以及入場通知書號碼、桌角號碼、應試類組是否相符。

②本試卷正反兩頁共 50 題，每題 2 分，限用 2B 鉛筆在「答案卡」上作答。

③本試卷之試題皆為單選選擇題，請選出最適當答案，答錯不倒扣；未作答者，不予計分。

④答案卡務必繳回，未繳回者該科以零分計算。

1.下列何者是用來存放最近使用過的位址所對應的實體頁位址，以避免存取分頁表？

- ① block offset
- ② TLB (translation lookaside buffer)
- ③ data cache
- ④ critical cache

2.何種失誤(miss)是即使有無限容量的快取記憶體也會發生的失誤？

- ① 容量失誤(capacity miss)
- ② 衝突失誤(conflict miss)
- ③ 強迫性失誤(compulsory miss)
- ④ 重要失誤(critical miss)

3.下列何種快取結構可以放置條件跳躍指令(branch instruction)的下個指令預測位址？

- ① branch prediction buffer
- ② branch target buffer
- ③ reorder buffer
- ④ branch delay slot

4.下列有關超純量(superscalar)處理器的敘述，何者錯誤？

- ① 又稱為動態多重分發處理器
- ② 希望打破每個時脈週期執行一個指令的限制
- ③ 藉由增加管線的 stage 數，以提高效能
- ④ 藉由編譯器做指令排程，以消除相依性

5.在允許非循序的管線式電腦中，CPU 在等待資料快取記憶體傳回找不到的資料時，可以繼續由指令快取記

憶體取得指令，進行其他的命中(hit)，下列何者可提供以上技術？

- ① nonblocking cache
- ② data cache
- ③ instruction cache
- ④ cache indexing

6.叢集電腦(cluster)通常是歸類為：

- ① SISD
- ② SIMD
- ③ MIMD
- ④ MISD

7.下列有關 RISC 架構的敘述，何者錯誤？

- ① 主記憶體的取存方式侷限於使用 load 指令與 store 指令
- ② 每個指令格式的長度都是一樣
- ③ 單一指令可設計成處理非常複雜的運算
- ④ 指令的運算元(operand)之定位址模式(addressing mode)的個數很少

8.下列何者無法減少條件跳躍處罰(branch penalty)？

- ① dynamic branch prediction
- ② branch target buffer
- ③ delayed branch
- ④ branch register

9.考慮下列的程式段：

```
for (I=1; I<=100; I=I+1) {
    Y[I] = X[I] / C; // statement S1
    X[I] = X[I] + C; // statement S2
}
```

X[I] 具有下列何種性質？

- ① 輸出相依性(output dependence)
- ② 反相依性(antidependence)
- ③ 控制相依性(control dependence)
- ④ 資料相依性(data dependence)

10.一迴圈執行時所存取的資料，依賴於此迴圈之前產生的資料，此相依性稱為：

- ① 控制相依性(control dependence)
- ② 輸出相依性(output dependence)
- ③ 迴圈承載相依性(loop-carried dependence)
- ④ 名稱相依性(name dependence)

11.假設存取快取記憶體的時間為 40ns 且命中率為 0.95，而存取主記憶體的時間為 200ns。請問此記憶體系統的有效存取時間為多少 ns？

- ① 40
- ② 48
- ③ 50
- ④ 12

12.關於記憶體管理中分頁法(page)和分段法(segment)的敘述，下列何者錯誤？

- ① 此二種方法可以合併使用
- ② 二種方式皆允許程式長度大於記憶體容量
- ③ page 之大小固定，segment 之大小不固定
- ④ 分段法不允許動態性的資料 linking 及 loading

13.一採用位元組定址(byte addressing)的系統，其字組(word)大小為 32 位元(bit)。試問欲定址記憶體大小為 32 個字組的記憶體需要多少條位址線？

- ① 5
- ② 6
- ③ 7
- ④ 8

14.下列何者不是微程式(microprogramming)控制的優點？

- ① 速度比較快
- ② 較具結構性
- ③ 彈性較大
- ④ 容易維護

15.程式計數器(program counter)的功能為：

- ① 暫存指令
- ② 控制程式執行的順序
- ③ 記錄程式執行的狀態
- ④ 記錄下一道指令的位址

16.請問 IEEE 754 所定義的浮點數，最大為多少？

- ① 0 11111111 10000000000000000000000000000000
- ② 0 11111111 11111111111111111111111111111111
- ③ 1 11000000 10000000000000000000000000000000
- ④ 0 10000000 00000000000000000000000000000000

17.一個程式中的可平行部份約佔多少百分比時，才能從 20 個 CPU 得到 5 倍的增速？

- ① 95
- ② 91
- ③ 84
- ④ 80

18.下列對計算機算術的敘述，何者正確？

- ① 兩個浮點數相加不可能產生溢位(overflow)
- ② 兩個不同符號的整數相加可能產生溢位
- ③ 浮點數加法不具結合性(associative)
- ④ 標準的布氏演算法(Booth's algorithm)在所有情況下皆能增進乘法的效能

19.試算出下列程式區段中 X=X+1 被執行了多少次？

```
For (I=1; I<=100; I++)
    For (J=1; J<=I; J++)
        For (K=1; K<=J; K++)
            X=X+1;
```

- ① 171700
- ② 100000
- ③ 176851
- ④ 970200

20.假設一程式會循序存取下列區塊 1、6、34、9、34、6、1、9、41。如果一計算機系統採用一 8 個區塊(entry)

大小的直接對映式(direct-mapping)快取記憶體，試問會發生多少次快取失誤(miss)？

- ① 5
- ② 6
- ③ 7
- ④ 8

21.下列何者屬於指令集架構(Instruction Set Architecture)的定義？

- ① 暫存器個數
- ② 快取記憶體組織
- ③ 加法器組織
- ④ 管線深度(pipeline depth)

22.假設在 1000 次記憶體存取中，有 40 次的失誤(miss)發生在第一層快取記憶體，20 次的失誤發生在第二

層快取記憶體，請問第一層、第二層，及整體的快取失誤率各是多少？

- ① 4%，50%，2%
- ② 4%，2%，6%
- ③ 4%，50%，6%
- ④ 4%，2%，2%

23.在指令集中加入較複雜的指令，主要的優點是：

- ① 降低程式的大小
- ② 降低 CPI
- ③ 提昇頻率
- ④ 增加 MIPS (million instruction per second)

【請接續背面】

24.針對單一週期(single cycle)、多重週期(multicycle)和管線化(pipelined)實作MIPS機器，下列敘述何者正確？

①單一週期的時脈週期最短  
②多重週期的時脈頻率最慢  
③管線化有最小的CPI  
④單一週期所需的硬體最簡單

25.下列對RISC(reduced instruction set computer)及CISC(complex instruction set computer)之敘述，何者錯誤？

- A. CISC CPU有較複雜的指令集  
B. RISC CPU指令長度多為固定  
C. RISC CPU定址模式較多  
D. 通常對同一個程式而言，RISC CPU指令數會少於CISC CPU
- ①僅C  
②僅A、B  
③僅C、D  
④僅A、B、D

26.編譯器技術不能改善下列何者？

- ①CPI(clock per instruction)  
②時脈頻率  
③指令數目  
④控制危障(control hazard)

27.下列何種最佳化方法會找出共同子運算，並將第一次計算的值，存入暫時的變數中，以免重覆計算？

- ①程式碼移動(code motion)  
②常數替換(constant propagation)  
③複製替換(copy propagation)  
④去除共同子運算(common subexpression elimination)

28.管線中的前饋(forwarding)技術無法改進下列何者？

- ①程式指令數目  
②執行時間  
③資料危障產生的暫停  
④CPI(clock per instruction)

29.在一個資料區塊大小為16KB，且每個區塊為4個字組(每個字組4個bytes)的直接對映(direct-mapping)快取，假設位址為32位元，則此快取需要多少位元(含一有效位元)？

- ①147K位元  
②148K位元  
③149K位元  
④150K位元

30.有一32位元的虛擬位址，每頁為4KB，分頁表的每個Entry為4bytes，則分頁表的總大小為何？

- ①1MB  
②2MB  
③4MB  
④8MB

31.暫存器檔(register file)係屬下列何者的一部份？

- ①快取記憶體  
②DRAM  
③CPU  
④Flash memory

32.下列何項技術可以加速一道指令(fetch、decode、execute)的完成？

- ①雙核心  
②管線化  
③超純量  
④快取記憶體

33.利用重新組織迴圈，使其重組後之迴圈中每一個回合(iteration)內的指令是從原來迴圈不同回合中挑選組合而成的，這種技術稱為：

- ①迴圈向量化(loop vectorized)  
②軟體管線(software pipelining)  
③迴圈展開(loop unrolling)  
④動態排程(dynamic scheduling)

34.下列有關平行化(parallelism)的技術，何者可減少流程危障延遲(control hazard stall)？

- ①追蹤排程(trace scheduling)  
②前饋(forwarding)  
③軟體管線(software pipelining)  
④迴圈展開(loop unrolling)

35.如果記憶體的一區塊只可能出現在快取記憶體的某一位置，這種快取記憶體被稱為：

- ①直接對映(direct mapped)  
②全關聯(fully associative)  
③組關聯(set associative)  
④區關聯(sector associative)

36.考慮兩個相鄰的指令i和指令j，若指令i出現在指令j之前，而指令j在指令i寫入資料前讀取資料，此危障(hazard)稱為：

- ①WAR  
②WAW  
③RAW  
④RAR

37.有關平行化(parallelism)的技術中，下列何者主要是以軟體為基礎？

- ①條件跳躍預測(branch prediction)  
②超長指令集(VLIW)  
③超純量(superscalar)  
④動態排程(dynamic scheduling)

38.下列對記分板(scoreboarding)技術的敘述，何者錯誤？

- ①可提升指令平行化的程度  
②運用暫存器重新命名(register renaming)的技巧  
③利用共用資料匯流排(common data bus)將結果廣播至功能性單元(functional unit)  
④需要大量硬體支援

39.下列實現I/O裝置與記憶體的資料傳輸技術中，何者較適合用於高效能裝置？

- ①輪詢(polling)  
②直接記憶體存取(DMA)  
③窺探(snooping)  
④I/O中斷

40.下列有關RAID之敘述，何者錯誤？

- ①RAID是利用冗餘性(redundancy)提升硬碟儲存之有效性  
②RAID6是最昂貴的RAID作法  
③RAID0只將資料分散到不同硬碟，並無錯謨更正功能  
④RAID1是利用映射(mirroring)原理

41.在虛擬記憶體中，最適合何種更新策略(update policy)？

- ①write through  
②write buffer  
③write around  
④write back

42.下列有關失誤(miss)的敘述，何者正確？

- ①容量失誤(capacity miss)無法降低  
②在直接對映式(direct mapped)的快取記憶體中，不會發生衝突失誤(conflict miss)  
③強迫性失誤(compulsory miss)也稱為冷啓動失誤(cold-start miss)  
④在全關聯(fully associative)快取記憶體中，不會發生容量失誤

43.下列與Amdahl's law相關之敘述，何者錯誤？

- ①可應用於平行計算的電腦上  
②效能的增速(speedup)定義  
③可用來比較兩個系統的效能  
④程式指令間的資料相依程度

44.假設一個分頁系統(paging system)中，其主記憶體含3個區塊框(frame)，考慮下列reference順序：

1, 2, 3, 4, 2, 1, 5, 2, 1, 2, 3, 6, 4, 3

如果使用LRU(least-recently-used)replacement algorithm情況下，將會有多少次的成功擊中(hit)？  
(請注意：剛開始時這3個分頁都是空的)

- ①3  
②4  
③5  
④6

45.請問2階記憶體結構中，假設快取記憶體的取存時間為1奈秒，主記憶體的取存時間為100奈秒；如果有效取存時間為10奈秒，則hit ratio為何？

- ①0.909  
②0.808  
③0.888  
④0.99

46.多處理器系統中，將微處理器和快取記憶體連接到共享記憶體，大多使用下列何種協定？

- ①目錄式(directory-based)  
②暫存器式(register-based)  
③窺探(snooping)  
④輪詢(polling)

47.在管線式(pipeline)處理器中，同一個時脈週期，若硬體不能滿足某些指令共同硬體資源需求，導致指令無法執行，此現象稱之為：

- ①流程危障(control hazard)  
②資料危障(data hazard)  
③結構危障(structural hazard)  
④衝突危障(conflict hazard)

48.在單一I/O裝置做I/O資料傳輸，下列何者具有最低延遲時間的特性？

- ①輪詢(polling)  
②直接記憶體存取(DMA)  
③窺探(snooping)  
④I/O中斷

49.在RAID中，下列何者在運作時每筆存取都會動用所有硬碟？

- ①RAID1  
②RAID3  
③RAID2  
④RAID0

50.在快取記憶體中，下列何種技術可幫助寫透(write-through)策略提升處理速度？

- ①寫入暫停(write stall)  
②寫入緩衝區(write buffer)  
③寫回(write back)  
④寫入合併(write merging)