

類 科：電子工程
科 目：半導體工程
考試時間：2小時

座號：_____

※注意：(一)可以使用電子計算器。

(二)不必抄題，作答時請將試題題號及答案依照順序寫在試卷上，於本試題上作答者，不予計分。

- 一、化學氣相沉積 (CVD) 製程操作於表面反應受限區 (surface-reaction-limited regime)，已知波茲曼常數 $k = 1.38 \times 10^{-23} \text{ J/K}$ ， $e = 1.6 \times 10^{-19} \text{ C}$ ，假設先導物 (precursor) 濃度不變，請求出：(每小題 10 分，共 20 分)
- (一) 反應速率活化能 $E_a = 0.5 \text{ eV}$ 固定， $T = 450 \text{ K}$ 之反應速率為 $T = 400 \text{ K}$ 之幾倍？
- (二) $T = 400 \text{ K}$ 固定，當 $E_a = 0.4 \text{ eV}$ 時之反應速率為 $E_a = 0.5 \text{ eV}$ 之幾倍？
- 二、閘極介電層製程含三層，材料之厚度分別為 30 nm (Al_2O_3)、 20 nm (HfO_2) 及 10 nm (SiO_2)，已知其介電常數 (dielectric constant) 分別為 9 (Al_2O_3)、25 (HfO_2) 及 3.9 (SiO_2)，請求出：(每小題 10 分，共 20 分)
- (一) 三層堆疊換算成 SiO_2 之等效厚度 (equivalent oxide thickness) 為多少？
- (二) 加上偏壓 5 V 於三層材料，各別之壓降 $V_{\text{Al}_2\text{O}_3}$ 、 V_{HfO_2} 及 V_{SiO_2} 為多少？
- 三、在 n 通道 MOSFET 製程技術中，利用間隙壁 (spacer) 及兩次離子佈植實施 LDD (lightly doped drain) 結構，請說明製程步驟。(15 分)
- 四、在 p 通道 MOSFET 製程技術中，利用深淺不同之離子佈植進行臨限電壓調整 (V_T -adjust) 及抗擊穿 (antipunch-through) 佈植，請以 p-MOSFET 元件結構剖面圖說明兩佈植區域位置及其實施理由。(15 分)
- 五、TEOS (tetra-ethoxy-silane) oxide 常使用於 PMD (premetal dielectric) 及 IMD (intermetal dielectric)，若不加其他摻雜物稱為 USG (undoped silicate glass)，請說明：(每小題 5 分，共 15 分)
- (一) PSG 用途為何及需摻雜何種元素。
- (二) BPSG 用途為何及需摻雜何種元素。
- (三) FSG 用途為何及需摻雜何種元素。
- 六、在電漿 (plasma) 應用製程中，兩電極間加上 RF，因電子移動速度較離子快，會形成電漿電位 (plasma potential) V_p ，令電漿相對 RF 電極之直流壓降 (DC bias) 為 V_x ，相對接地電極之直流壓降為 V_y ，RF 電極面積為 A_x ，接地電極面積為 A_y ，其中 $A_y = n A_x$ ，關係式為 $V_x/V_y = n^4$ 。已知兩電極間之自偏壓 (self-bias) 為 V_y 的 1.25 倍， $V_p = 20 \text{ V}$ ，請求出：
- (一) $n = ?$ (8 分)
- (二) DC bias = ? (7 分)