


中華電信股份有限公司 98 年新進從業人員遴選試題

專業科目(一)：計算機結構

入場通知書號碼：_____

注意：①本試卷一張雙面，分為單選選擇題 30 題、問答題二大題；答錯不倒扣，未作答者，不予計分。
②單選選擇題請選出最適當答案，限用 2B 鉛筆在「答案卡」上作答；非選擇題一律採「橫式」由左至右在「答案卷」上依序標明題號作答，不必抄題。
③應考人得自備僅具數字鍵 0~9 及 + - × ÷ √ % =  功能之簡易型計算機應試。
④答案卡及答案卷務必一併繳回，違者該科以零分計算。

壹、單選選擇題 (每題 2 分)

【3】1.給定一函式 (function)，分別用 Java、C 跟 ARM 組語撰寫，請比較程式碼的執行數應為：

- ① Java > C > ARM 組語
- ② C > Java > ARM 組語
- ③ ARM 組語 > C > Java
- ④ ARM 組語 > Java > C

【1】2.控制危障 (control hazard) 會發生在下列何種設計之中？

- ①管線化設計 (pipeline implementation)
- ②單一時脈週期設計 (single-cycle implementation)
- ③多重時脈週期設計 (multi-cycle implementation)
- ④多重時脈週期設計與管線化設計

【2】3.有一個 Java 的應用程式在電腦上要執行 15 秒，有一個新的 Java 編譯器所產生的程式碼只需原來程式碼的 60%，但是 CPI (clock per instruction) 卻會是原來的 1.1 倍。請問用此新的編譯器程式後要執行幾秒？

- ① 8.2
- ② 9.9
- ③ 27.5
- ④ 30

【1】4.下列敘述何者正確？

- ①快取的區塊大小越小，記憶體的延遲越少
- ②快取的區塊大小越大，記憶體的延遲越少
- ③快取的區塊大小越小，記憶體的頻寬越大
- ④快取的區塊大小與記憶體的延遲無關

【4】5.假設有一個快取為直接映射 (direct mapped)，大小有 16KB，一個區塊 (block) 有 4 個 word，而一個 word 為 4 個 byte 所組成，假設位址空間為 32 位元，則此快取共有多少位元？

- ① 128K
- ② 160K
- ③ 148K
- ④ 147K

【2】6.請問多核心電腦的出現「主要」是為了解決：

- ①效能
- ②功率
- ③指令層級平行度
- ④晶片面積

【1】7.在某個 20 階段的超管線 (superpipeline) 中，針對條件分支 (conditional branch) 指令我們必須插入四個氣泡 (bubble)，而這些指令佔了所有執行指令的 15%。所有指令中大約有 2% 在存取資料記憶體會遇上快取失誤 (miss) 造成管線維持 25 個週期，請問此管線的有效 CPI 為何？

- ① 2.1
- ② 1.1
- ③ 3.35
- ④ 1.7

【3】8.現代的 CPU 皆將第一層快取記憶體分為指令快取記憶體和資料快取記憶體，原因為何？

- ①降低成本
- ②增加命中率 (hit rate)
- ③避免結構化危障 (structural hazard)
- ④避免電腦中毒

【3】9.在管線處理中，常常運用許多技巧，其中前饋 (bypassing) 是為了解決：

- ①減少可能的控制危障 (control hazard) 延遲
- ②減少可能的結構危障 (structural hazard) 延遲
- ③減少可能的資料危障 (data hazard) 延遲
- ④減少可能的記憶體延遲

【2】10.請問下列迴圈是否可平行處理？為什麼？

```
for (i=2; i<100; i=i+1) {  
    a[i] = b[i] + a[i]; /* S1 */  
    c[i-1] = a[i] + d[i]; /* S2 */  
    a[i-1] = 2 * b[i]; /* S3 */  
    b[i+1] = 2 * b[i]; /* S4 */  
}
```

- ①是
- ②否，因為存在著資料危障
- ③否，因為存在著結構危障
- ④否，因為存在著控制危障

【2】11.下列何種方法無法減少快取記憶體的失誤率？

- ①增加區塊大小
- ②使用多階層式架構
- ③提高關聯度
- ④加大快取記憶體

【3】12.有關 TLB (translation-lookaside buffer) 的敘述，下列何者錯誤？

- ①為一個硬體表格
- ②儲存部分的分頁表 (page table) 資訊
- ③能改善快取記憶體 (cache) 的存取速度
- ④與快取記憶體 (cache) 相似，會有失誤 (miss) 的狀況發生

【4】13.下列有關虛擬記憶體的敘述，何者錯誤？

- ①需要額外的記憶體空間來儲存分頁表
- ②使程式長度不受限於實體記憶體空間
- ③所有虛擬記憶體位址都必需轉換成實體位址後才能存取
- ④不需作業系統支援

【1】14.下列有關不同的定址模式的敘述，何者錯誤？

- ①使用間接定址法需存取記憶體 1 次
- ②使用隱含型 (implicit) 定址法需搭配特定暫存器
- ③使用暫存器定址法不需要存取記憶體
- ④使用暫存器間接定址法需要額外的記憶體存取

【4】15.假設你想藉著 100 顆 CPU 來達到 90 倍的增速，請問你原本的程式中最多只能有多少循序 (sequential) 部份？

- ① 1%
- ② 0.5%
- ③ 0.2%
- ④ 0.1%

【4】16.下列對於迴圈展開 (loop unrolling) 的敘述，何者正確？

- ①能減少暫存器的使用量
- ②是一種硬體加速方式
- ③程式碼的長度會減少
- ④此技術會將迴圈主體 (loop body) 重覆數次，並且調整 loop 終止執行之條件

【1】17.迴圈展開 (loop unrolling) 技術是為了解決下列何者？

- ①控制危障 (control hazard)
- ②結構危障 (structural hazard)
- ③資料危障 (data hazard)
- ④管線衝突 (pipeline conflict)

【1】18.下列關於多層次快取的設計，何者敘述正確？

- ①第一層快取較注重命中所需時間，而第二層快取較重視失誤率
- ②第一層快取較注重失誤率，而第二層快取較重視命中所需時間
- ③第一層快取的大小通常比第二層大
- ④多層次快取設計主要是為为了提高管線深度 (pipeline depth)

【4】19.下列 TLB (Translation-Lookaside Buffer)、虛擬記憶體系統，以及快取的事件組合，何者是不可能的？

- ① TLB 命中、分頁表命中、快取失誤
- ② TLB 失誤、分頁表命中、快取失誤
- ③ TLB 失誤、分頁表失誤、快取失誤
- ④ TLB 命中、分頁表失誤、快取命中

【4】20.假設有一個共享記憶體處理器的主記憶體為 20 GB，另一個電腦是由五個電腦所構成的叢集電腦，每個電腦有 4GB 的記憶體空間，作業系統佔了 1GB。則使用者在共享記憶體處理器電腦和叢集電腦所能用的記憶空間各是多少？

- ① 20GB, 20GB
- ② 19GB, 19GB
- ③ 19GB, 20GB
- ④ 19GB, 15GB

【3】21.假設系統的記憶體有 128M 個字組。區塊長度為 64 個字組，並且快取由 32K 區塊構成。假設是 2 路集合關聯式快取對映機制，則標籤 (tag) 欄位會有多大？

- ① 5
- ② 6
- ③ 7
- ④ 8

【2】22.下列對指令層級平行化 (Instruction-Level Parallelism) 的敘述，何者錯誤？

- ①將迴圈展開是對指令層級平行化最常見的方式之一
- ②多核心處理器的主要目的就是為了找出更多的指令層級平行性
- ③指令重排序是一種指令層級平行化的方式之一
- ④分支預測 (branch prediction) 對指令層級平行化影響很大

【1】23.下列對於動態排程的敘述，何者錯誤？

- ①動態排程主要是透過編譯器來重新安排指令以減少暫停的時間
- ②非依序執行 (out of order execution) 可能會產生 WAR (Write After Read) 危障
- ③非依序執行 (out of order execution) 可能會產生 WAW (Write After Write) 危障
- ④動態排程可能會產生不精確例外 (imprecise exception)

【1】24.一 I/O 系統配備有一部硬磁，此系統每秒接收到 50 個 I/O 請求。假設硬磁平均需要 10ms 來服務一個 I/O 請求，則此 I/O 的使用率為何？

- ① 0.5 ② 0.05 ③ 0.2 ④ 0.02

【1】25.一個五階的管線中：IF (Instruction fetch)、ID (Instruction decode and register file read)、EXE (Execution or address calculation)、MEM (Memory access)、WB (Write Back)，則 BTB (Branch Target Buffer) 單元應該在哪一階段中？

- ① IF ② ID ③ EXE ④ WB

【1】26.下列的快取記憶體最佳化技術，何者是用來改善命中時間 (hit time) ？

- ① 追蹤式 (trace) 快取記憶體 ② 非阻隔式 (non-blocking) 快取記憶體
 ③ 管線化 (pipelined) 快取記憶體 ④ 合併寫入緩衝區

【3】27.完全關聯式 (fully associative) 快取不會產生下列何種失誤？

- ① 容量性 (Capacity) ② 強迫性 (Compulsory) ③ 衝突性 (Conflict) ④ 冷開機 (Cold-start)

【2】28.假定使用完全關聯式 (fully associative) 快取的電腦有 2^{16} 個字組的主記憶體，以及 64 個區塊的快取，每個快取區塊包含 32 個字組，請問主記憶體有多少區塊？

- ① 2^{10} ② 2^{11} ③ 2^{12} ④ 2^{13}

【4】29.下列敘述何者正確？

- ① 較低 CPI 的處理器一定比較快 ② 時脈頻率越快的處理器一定比較快
 ③ Amdahl 定律不適用在平行計算機上 ④ RISC 架構中指令格式的長度都是一樣的

【2】30.編譯器技術不能改善下列何者？

- ① 資料危障 (data hazard) ② 時脈頻率
 ③ 指令數目 ④ 控制危障 (control hazard)

貳、問答題 (每大題 20 分)

題目一：

假設有一個五階的管線結構：IF (Instruction fetch)、ID (Instruction decode and register file read)、EXE (Execution or address calculation)、MEM (Memory access)、WB (Write back)，該結構除了 LW 和 SW 到記憶體存取需 2 週期，以及 BNZ 需多 1 週期外，其餘運算 (operation) 皆為 1 個週期；該管線結構並沒有前饋 (forwarding)。有以下程式碼在管線中執行：

```

Loop:  LW   R3, 0(R0)
      LW   R1, 0(R3)
      ADDI R1, R1, #1
      SUB  R4, R3, R2
      SW   R1, 0(R3)
      BNZ  R4, Loop
    
```

(一)請針對該迴圈執行一次，如下圖顯示每個時脈週期內每道指令進行的階段：(8 分)

		Clock cycles										
Loop:		1	2	3	4	5	6	7	8	9	10	11...
LW	R3, 0(R0)	F	D	E	M	—	—	W				
LW	R1, 0(R3)		F...									
ADDI	R1, R1, #1			F...								
SUB	R4, R3, R2											
SW	R1, 0(R3)											
BNZ	R4, Loop											

(二)請問會在第幾個時脈週期抓 BNZ 的下一道指令？(4 分)

(三)假設有一個靜態分支預測器，在 ID 階段就能確認是否為回頭 (backward) 的分支，請問會在第幾個時脈週期抓 BNZ 的下一道指令？(4 分)

(四)假設有一個動態分支預測器，請問會在第幾個時脈週期抓 BNZ 的下一道指令？(4 分)

題目二：

有一個對稱式共用記憶體多處理器 (symmetric shared-memory multiprocessors)，假設字組 x1 和 x2 在同一個快取區塊 (cache block) 中。這個區塊同時存在於工作(process)P1 和工作 P2 的快取中，並處於共享狀態 (share state)。假設有如下表的事件序列發生，請將每一次失誤 (miss) 界定為真共用失誤 (true sharing miss)、假共用失誤 (false sharing miss) 或是命中 (hit)，並簡述理由。當區塊大小為一個字組時，所發生的任何失誤皆為真共用失誤 (true sharing miss)。

時間	P1	P2
1	寫入 x1	
2		讀取 x2
3	寫入 x1	
4		寫入 x2
5	讀取 x2	